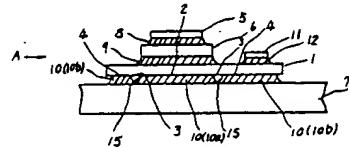
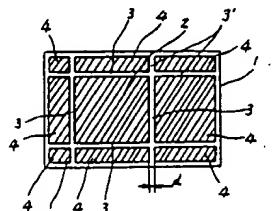


## (54) INSULATING PLATE FOR SEMICONDUCTOR DEVICE

(11) 1-106451 (A) (43) 24.4.1989 (19) JP  
 (21) Appl. No. 62-262635 (22) 20.10.1987  
 (71) HITACHI LTD (72) HIROYO FUJINO(2)  
 (51) Int. Cl. H01L23/40, H05K1/05

**PURPOSE:** To suppress generation of the void and cracks in a junction part with a heat sink by arranging a second metallized surface about a first metallized surface through a slit part and extending at least one part of the slit part up to an end surface of an insulating plate.

**CONSTITUTION:** A first metallized surface 2 is formed directly under a semiconductor element mounting position in an insulating plate 1. Further, a not metallized slit part 3 is secured around the metallized surface 2 having pattern constitution, in which a second metallized surface 4 is arranged around the metallized surface 2 through this slit part 3. Then, each slit part 3' is that, in which the slit part 3 is rectilinearly extended up to every end face of the insulating plate 1 respectively. In the junction part 10 between the insulating plate 1 and the heat sink 7, cracks are likely to be generated from the second junction part (corresponding to the metallized surface 4) 10b located in one end and four corners of the insulating plate 1, when a long thermal fatigue cycle is applied. However, when the cracks reach a slit-shaped non-junction part, a notch effect of the cracks vanishes so as to stop the advance of cracks.

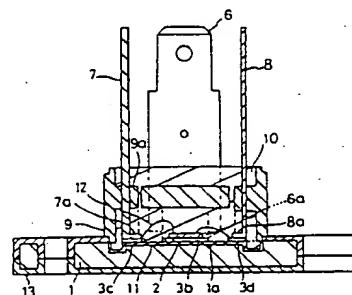


## (54) SEMICONDUCTOR DEVICE

(11) 1-106452 (A) (43) 24.4.1989 (19) JP  
 (21) Appl. No. 62-264175 (22) 19.10.1987  
 (71) MITSUBISHI ELECTRIC CORP (72) YASUHARU SAKAMOTO  
 (51) Int. Cl. H01L23/48, H01L23/28//H01L25/04

**PURPOSE:** To prevent generation of faulty insulation even when solder cream is stuck to a surrounding insulating film by composing an insulating member of an insulating film covering a range surrounding electrodes in a substrate and by covering the other part of this substrate with a resin case.

**CONSTITUTION:** A semiconductor element mounting part 1a of a base plate 1 is coated in advance with an insulating film and the other part is covered with a resin case. Then, electrodes 3b-3d are fixed on the insulating film 11, and a semiconductor element 2 is fixed on this electrode 3b. Next, the electrode of the semiconductor element 2 and the electrodes 3c, 3d are connected with a bonding wire 13 so as to fix terminals 6-8 to the electrodes 3b-3d with cream solder. Then, sealing resin 10 is injected inside a frame body 9. Accordingly, an exposed part of the base plate 1 is removed by the insulating film 11 and the resin case 13 so as to insulate the base plate 1 from the other members.

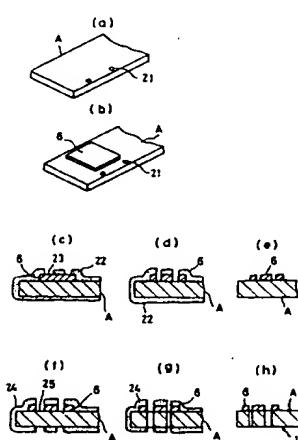


## (54) MANUFACTURE OF LEAD FRAME

(11) 1-106453 (A) (43) 24.4.1989 (19) JP  
 (21) Appl. No. 62-264173 (22) 19.10.1987  
 (71) MITSUBISHI ELECTRIC CORP (72) YOSHITAKA TAKEMOTO  
 (51) Int. Cl. H01L23/50

**PURPOSE:** To make a processing amount of each part uniform by removing the part, which does not correspond to a semiconductor element placing part in metal plating for bonding and a bonding region of a lead by a photoetching process, and processing this metal foil into the shape of a lead frame by photoetching.

**CONSTITUTION:** A metal foil A is positioned by positioning holes 21, and metal plating 6 is given in advance to the range including a wire bonding region of a lead on the metal foil A. Next, the metal foil A is coated with a resist 22 for removing metal plating, and a needless part 23, which does not correspond to a semiconductor element placing part in metal plating and to the bonding region of the lead, is made open by photoetching. Then, the needless part of metal plating 6 is melted with liquid chemicals for being removed, followed by removing the resist also. Further, the metal foil A is coated with the resist 24 for removing thickness so as to make open a thickness removing part 25 by photoetching. Then, the thickness removing part 25 is melted with liquid chemicals for being removed, followed by removing the resist 24 for removing thickness also.



## ⑫ 公開特許公報 (A)

平1-106451

⑬ Int.CI.\*

H 01 L 23/40  
H 05 K 1/05

識別記号

厅内整理番号

Z-6835-5F  
Z-7454-5F

⑬ 公開 平成1年(1989)4月24日

審査請求 未請求 発明の数 1 (全8頁)

⑭ 発明の名称 半導体素子用絶縁板

⑮ 特願 昭62-262635

⑯ 出願 昭62(1987)10月20日

⑰ 発明者 藤野 裕代 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑰ 発明者 杉浦 登 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑰ 発明者 小林 良一 茨城県勝田市大字高場2520番地 株式会社日立製作所佐和工場内

⑰ 出願人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑰ 代理人 弁理士 高橋 明夫 外1名

## 明細書

## 1. 発明の名称

半導体素子用絶縁板

## 2. 特許請求の範囲

1. 表面に半導体素子を搭載し、裏面にはヒートシンクと接合するためのメタライズ面を有する半導体素子用の絶縁板において、前記メタライズ面は、前記半導体素子の搭載箇所の直下に形成される第1のメタライズ面と、この第1のメタライズ面の周囲にメタライズを施さないスリット部を介して配設される第2のメタライズ面とで構成され、且つ前記スリット部は、少なくとも一部が前記絶縁板の端面まで延設されてなることを特徴とする半導体素子用絶縁板。

2. 特許請求の範囲第1項において、前記第2のメタライズ面は、複数のスリットにより複数のパターンに区分されてなる半導体素子用絶縁板。

3. 特許請求の範囲第1項または第2項において、前記半導体素子は複数よりなり、前記絶縁板の表面の半導体素子搭載箇所及び裏面の前記第1

のメタライズ面は、それぞれ前記半導体素子の数と同数で、一定の間隔を置いて配設されてなる半導体素子用絶縁板。

## 3. 発明の詳細な説明

## 〔産業上の利用分野〕

本発明は、半導体素子用絶縁板に係り、特に発熱体となる半導体素子を積層するのに適したメタライズパターンを有する絶縁板に関するものである。

## 〔従来の技術〕

一般に半導体素子用絶縁板は、半導体素子をヒートシンク(金属ベース)等に取付ける場合の電気的絶縁のために用いられるもので、ヒートシンク上にはんだ、銀ろう等のろう付により接合されている。このような絶縁板は、電気的な絶縁を行なう他に、特に発熱性の半導体素子を搭載する場合には、半導体素子のそのものに発生した熱をヒートシンク側に放熱させる役割をも兼ねるもので、絶縁板としては、例えばアルミナ等の絶縁部材が用いられる。

ところで、この種の絶縁板に半導体素子を搭載したり、絶縁板自身をヒートシンク上に取付ける場合には、はんだ等のろう付け用いて行なわれるが、絶縁板となるアルミナ等は、ろう付けに適さないため、絶縁板の裏面に半導体素子と接合するためのメタライズ面や、ヒートシンクと接合するためのメタライズ面を設けている。メタライズ面は、モリブデン、タングステン膜等が用いられる。

更に従来のこの種の絶縁板では、例えば特開昭55-118641号公報等に開示されるように、絶縁板に施されたメタライズ面に複数のスリットを設けて、はんだ等のろう付け時に発生するボイドをスリットから逃してボイドの低減を図つたり、或いは、はんだ等の接合部に生じるクラック発生率は、接合される部材の線膨張係数差の大きさに左右される他に、接合部の長さが長い程、部材間の歪が大きくなつてクラックが生じ易いので、例えば特開昭55-165656号公報等に開示されるように、絶縁板の裏面メタライズ面を表面側に搭載される

半導体素子の直下に配置して、絶縁板とヒートシンクとの接合部(ろう付部)を半導体素子直下に集中させ、このようにしてメタライズ面ひいては接合部の長さをできるだけ短かくして、接合部のクラックの発生を減少させたり、また、この半導体素子直下のメタライズの面の他に半導体素子チップ取付け面の水平を保つため、第2のメタライズ面を設ける等種々の配慮がなされている。

〔発明が解決しようとする問題点〕

前述した如く、従来よりこの種絶縁板には、メタライズ面にスリットを形成したり、メタライズ面の配位位置を特定しつつ接合部の長さをできるだけ短かくする等、メタライズパターンに種々の配慮を施して、熱伝導低下原因たるボイド発生を防止したり、クラックの減少化を図つている。

しかしながら、上記従来技術の中で、メタライズ面にスリットを形成する従来例では、ボイド低減を図る点に重点が置かれ、絶縁板とヒートシンク間の接合部のクラック低減を図る点については充分な配慮がなされていなかつた。すなわち、従

来のスリット方式は、メタライズ面21に施されるはんだ等の接合部に発生するボイドや熱を第4図の従来例に示すように、絶縁板1のメタライズ面21に設けた十文字のスリット部22を介して外部に逃している。しかし、熱応力の長期繰返し印加により生じるクラックは、図の矢印に示すように絶縁板の四隅及び絶縁板の端面より中心方向に進行する性質を有しているため、十文字スリットで区分されるはんだ等の接合部がすべてクラックで侵される傾向があつた。特に、一度クラックが発生すると、クラックが切欠きとなつて切欠部に応力集中が発生する切欠き効果が働き、クラックの進行を助長する。なお、第4図の斜線23で示す部分は、クラックが未だ進行していない部分をクラック進行状況として表わしたもので、同図では、絶縁板1のA側よりもB側の方がクラックの進行が著しいが、このようになるのは、接合部の厚みがA側よりB側の方が薄いといった場合に起つ。すなわち、接合部が薄いほど熱応力が増大する傾向にあるためである。

このような接合部の厚みの不均衡は、特に絶縁板上の半導体素子の搭載される箇所とそれ以外の箇所の重量の不均衡に起因して生じる。

また、上記従来技術の中で、絶縁板の裏面メタライズを半導体素子搭載箇所の直下に形成する方式のものは、クラックの発生を減少できる反面、絶縁板とヒートシンク間に空間が存在するため、その分、絶縁板からヒートシンク側への熱伝導が低下して、半導体素子のチップ温度が上昇する傾向があつた。特に電流制限付イグナイタの場合には、電流制限時に発熱が増大するため、初期的にも熱応力が増大し、長期間の信頼性の面で改善すべき点があつた。

本発明は以上の点に鑑みてなされたものであり、その目的とするところは、ヒートシンクとの接合箇所におけるボイド、クラック等の発生を有効に抑制し、しかも放熱面積を充分に確保して、半導体素子、絶縁板、ヒートシンク等で構成される半導体組立の耐久性、信頼性の向上化を図り得る半導体素子用絶縁板を提供することにある。

## 〔問題点を解決するための手段〕

上記目的は、絶縁板の裏面メタライズの中で、第1のメタライズ面を絶縁板表面側の半導体素子搭載箇所の直下部に形成し、且つ第2のメタライズ面を第1のメタライズ面の周囲にスリット部を介して配設し、前記スリット部の少なくとも一部を絶縁板の端面にまで延設することで達成される。

## 〔作用〕

既に「発明が解決しようとする問題点」でも述べたように、絶縁板とヒートシンク間の接合部のクラックは、絶縁板の端面及び四隅から中央に向かつて進行し、且つ絶縁材が傾きをもつて接合された場合には、接合部の厚みの薄い方がクラックの進行度合が大きい。しかも、クラック部には、クラック自身の切欠効果が働き、応力集中を生じるため、更にクラックは進行する性質を有する。

ところで、本発明の如き絶縁板をヒートシンク上に積層する場合には、絶縁板裏面の第1、第2メタライズ面とヒートシンクの間がはんだ等のろう材が接合されるが、第1のメタライズ面の周り

には、メタライズの施されないスリットがあるため、この部分は、ろう材が存在しない非接合箇所となる。すなわち、絶縁板の第1のメタライズ面とヒートシンク間の接合部（これを第1の接合部と称する）と、第1の接合部の周りに配される第2のメタライズ面とヒートシンク間の接合部（これを第2の接合部と称する）との間には、スリット状の非接合部が存在することになる。

しかして、このような接合構造によれば、第1の接合部の周囲、すなわち第2の接合部に絶縁板の四隅及び端面からクラックが生じたとしても、そのクラックがスリット状の非接合部に至ることにより、切欠効果が消失し応力集中がなくなるため、クラックの進行を止め、第2の接合部側にクラックが及ぶことを有効に防止することができる。

更に第1の接合部は、スリットを介して第2の接合部と分けられ、第1の接合部の長さをできるだけ短かくすることができる、ヒートシンクと絶縁板の接合部間の熱ひずみを極力小さくできること、及び接合部の厚みに傾きがあつて厚さ

の不均衡が生じても、半導体搭載箇所の直下の接合部は、傾きの始点（絶縁板一端の接合箇所で接合部の厚さが最も薄いところ）から外れた位置にあるので、その厚みも充分に確保され、熱応力も低減されるので、第1接合部自身がクラックの生じにくい状態にある。従つて、本発明によれば、第2の接合部にクラックが生じたとしても、第1の接合部は、前記スリットによるクラック進行防止効果と第1接合部自身がクラックの生じにくい構造特性をもたせたことから、接合箇所の必要範囲での健全性を充分に保持できる。

更に、第1のメタライズ面の他に、この周りに配される第2のメタライズ面もヒートシンクとろう材により接合するので、熱伝導性が向上し半導体の温度上昇を低減できる。このため、各接合部に印加される熱応力を減少でき、初期的なクラックが入るまでの時間も長くできる。

更に、本発明においても、従来同様にヒートシンクと絶縁板の接合部をスリットにより分断できるので、スリットによるボンド低減を行ない得る。

## 〔実施例〕

本発明の実施例を図面に基づき説明する。

第1図は本発明の第1実施例たる半導体素子用絶縁板の裏面図である。

図中、1は絶縁板で、例えばアルミナ、窒化アルミニウム等で形成され、絶縁板1の裏面に以下に述べる第1のメタライズ面2、スリット部3、3'、第2のメタライズ面4が配設される。

第1、第2のメタライズ面2、4は、例えば、絶縁材1の裏面に施されるモリブデン膜或いはタンクスチタン膜等で構成され、更に、通常は、モリブデン膜等が酸化し易いので、これらの膜上に更にニッケル等の金属メッキを施してなる。これらのメタライズ面の中で、第1のメタライズ面2は、絶縁板における半導体素子搭載位置の直下に形成される。また、第1のメタライズ面2の周囲にメタライズを施さないスリット部3が確保され、このスリット部3を介して第1のメタライズ面2の周囲に第2のメタライズ面4が配設されるパターン構成となつていて、第2のメタライズ面4は、

複数のスリット部3'により複数のメタライズバターンに区分されている。本実施例の各スリット部3'はスリット部3を夫々絶縁板1の各端面に至るまで直線的に延長したものである。

スリット部3, 3'は、その幅dが3mm以上確保されている。これは、スリット幅を3mm以下にすると、後述するヒートシンク7と絶縁板1の各メタライズ面2, 4をはんだ等で接合した場合に、各接合部のファイレット部がスリットを超えて接合してしまい、スリットの存在意義がなくなるためである。なお、絶縁板1の表面にも、半導体素子或いは別のヒートシンク板を接合するためのメタライズ面(図示せず)が形成されている。

このような絶縁板1を用いた半導体組立体の積層構造例を第2図(a), (b)に示す。

第2図(a)は第1の積層構造例で、図中、5は半導体素子(パワートランジスタ等)、6は第1のヒートシンク(例えばモリブデン板)、7はニッケルメッキを施した銅又はアルミニウムよりなる第2のヒートシンク(金属ベース)であり、上

から順に、半導体素子5、第1のヒートシンク6、絶縁板1、第2のヒートシンク7が積層され、且つこれらの部品間は符号8, 9, 10で示すはんだにて接合されている。なお、本実施例では、絶縁板1は、アルミナよりなり絶縁板1上には、ヒートシンク6を介して半導体素子5を搭載する。

絶縁板1の裏面における第1、第2のメタライズ面2, 4は、はんだ10にて第2のヒートシンク7に接合される。11はワイヤボンディング用の部材であり、はんだ12により絶縁板1に接続される。

第2図(b)は第2の積層構造例に示すもので、本例では、絶縁板1を窒化アルミニウム基板としたときの積層構造を示し、図中、第2図(a)と同じ符号は同一部品を示すものであり、特に本例では、絶縁板1が高熱伝導性を有する窒化アルミニウムで構成するので、半導体素子5をはんだ9を介して直接絶縁板1上に搭載したものである。

しかして、第2図(a), (b)に示すように、絶縁1の第1、第2のメタライズ面2, 4とヒート

シンク7をはんだ10を介して接合した場合には、スリット部3に対応する部分にスリット状の非接合部15が形成される。

第3図は、第2図(a)の積層構造を全体的にみた半導体組立体の平面図で、同図に示すように第2のヒートシンク7上には、半導体5、第1のヒートシンク6等が配設される他に印刷基板13が接合され、半導体素子5と印刷基板13上のワイヤボンディング部材11などがワイヤ14により接続され、電気的導通がとられている。

次に本実施例の作用を説明する。

一般にヒートシンクと絶縁板間の接合部を生じるクラックは、線膨張係数差の大きい被接合部材間で発生しやすく、且つ接合部の長さが長くなる程、接合部における被接合部間の熱膨張差(熱歪)が大きいので生じやすい。第2図(a)を例にとれば各部材の線膨張係数は絶縁板1がアルミナ基板であり $6.8 \times 10^{-6}$ 、はんだ10は $28 \times 10^{-6}$ 、金属ベース7は銅で $17 \times 10^{-6}$ 、アルミニウムの合で $24 \times 10^{-6}$ である。すなわち、最もは

んだ付け面積の大きく、線膨張係数差の大きい絶縁板1と第2のヒートシンク(金属ベース)7間のはんだ接合部10にクラックが発生しやすい。

また第2図(b)の場合は、絶縁板1は窒化アルミニウムで線膨張係数は $4.3 \times 10^{-6}$ であり、第2図(a)と同様にクラックははんだ10で発生しやすい。クラックの発生及び進行は、熱伝導率を低下させ、ひいては装置の信頼性を低下させる。

これらのクラックの進行は、【発明が解決しようとする問題点】の項でも既述したように、その性質上、絶縁基板1の四隅及び端面から進行するもので、且つ接合部10に傾きがある場合には、接合部の薄い方に生じやすい。

第2図(a), (b)では、絶縁板1及び接合部10に傾きが生じた場合、第1のヒートシンク6及び半導体素子5の自重により、接合部10のA側の厚みが薄くなる傾向にある。そして、一端クラックが発生すると、クラック自身応力集中を発生させる効果が働き、クラックの進行を助長することになる。

しかし、本実施例の場合の絶縁板1とヒートシンク7間の接合部10では、長期的な熱疲労サイクルが加わると、絶縁板1の一端及び四隅にある第2の接合部（第2のメタライズ面4に対応するもの）10bからクラックが生じることになるが、本実施例では、スリット状の非接合部3aにクラックが生ると、クラックの切欠効果が消失してクラックの進行が止まる。更に第1の接合部10aは、スリット状の非接合部15を介して第2の接合部10bと区分けされ、第1の接合部10aの長さをできるだけ短かくすることができるので、ヒートシンク7と絶縁板1の接合部10a間の熱ひずみを極力小さくできること、及び接合部10全体の厚みに傾きがあつて厚さの不均衡が生じても、半導体素子搭載箇所の直下の接合部10aは、傾きの始点（絶縁板1一端の接合箇所10bで接合部の厚さが最も薄いところ）から外れた位置にあるので、その厚みも充分に確保され、熱応力も低減されるので、第1接合部10a自身がクラックの生じにくい状態にある。従つて、本実施例に

よれば、第2の接合部10bにクラックが生じたとしても、第1の接合部10aは、前記スリット状非接合部15によりクラック進行防止効果と第1接合部自身がクラックの生じにくい構造特性をもたせたことから、両者の相乗効果で接合箇所の必要範囲での健全性を充分に保持できる。

更に、第1のメタライズ面2の他に、この周囲に配される第2のメタライズ面4もヒートシンクとろう材により接合するので、熱伝導性が向上し半導体の温度上昇を低減できる。このため、各接合部に印加される熱応力を減少でき、初期的なクラックが入るまでの時間も長くできる。

更に、ヒートシンク7と絶縁板1の接合部10をスリット3により分断できるので、スリットによるボンド低減を行ない得る。

第5図(a), (b)は、本発明の第2, 第3実施例を示す絶縁板1の裏面図である。

第5図(a)における符号2で示す部分が第1実施例と同様に半導体素子直下の第1のメタライズ面であり、その周囲にスリット3を介して配され

る第2のメタライズ面4を複数のスリット3'を介して更に細分化した例であり、また、第5図(b)はスリット3'の入れ方を変更した例である。これら2の実施例によるメタライズパターンでも第1実施例と同様の効果を実し得る。

第6図(a)は本発明の第4実施例を示す絶縁板の表面図、同図(b)はその裏面図を示すものである。本実施例は、半導体素子を複数搭載するための絶縁板の具体例を示したもので、斜線部はメタライズ面である。第6図(a)のメタライズ面2'a～2'cには、各半導体素子5が接合を介して搭載され、また、各メタライズ面2'a～2'cは互いの耐圧性を保持するため所定の間隔で分離配置されている。第6図(b)は裏面のメタライズパターンを示し、2'a～2'cが各半導体素子搭載箇所の2'a～2'cの直下に配置される第1のメタライズ面で、この第1のメタライズ面2'a～2'cの夫々の周囲に第2のメタライズ面4がスリット部3を介して配設されている。また、第2のメタライズ面4はスリット部3に通じるスリット部3'によ

り複数に細分化されている。

第6図(c)は絶縁板1の裏面メタライズパターンの変形例（第5実施例）を示すものである。

第7図(a), (b)は、第4実施例の絶縁板1を用いた半導体組立体の積層構造例を示すものであり、既述した第2図(a), (b)の積層構造例と同一符号は、同一成いは共通する要素を示すものである。第7図(a)では、複数の半導体素子5、絶縁板（アルミナ基板）1、ヒートシンク7、金属ベース7'をはんだ9、10、10'を介して順次接合したもので、特にヒートシンク7と金属ベース7'とを別個にし、且つ絶縁板1と接合すべきヒートシンク7を半導体素子5の数に応じて分割してなる。そして、絶縁板1とヒートシンク7の接合部10は、第1のメタライズ面2'a, 2'b, 2'cの夫々とヒートシンク7とが接合される第1の接合部10aと、第2のメタライズ面4とヒートシンク7とが接合される第2の接合部10bとで構成され、第1の接合部10aと第2の接合部10bとの間にスリット状の非接合部

15が確保される。

第7図(b)は、第7図(a)と異なりヒートシンク7を分割せずに1個のヒートシンク7としたもので、また、ヒートシンク7を金属ベースと兼用させ、絶縁板1を窒化アルミニウムで構成したものである。

第8図は、第7図(a)の積層構造を全体的にみた半導体組立体の平面図で、金属ベース7'に接着された印刷基板13上のワイヤボンディング部材11とアルミワイヤ14により、各々の半導体素子5が印刷基板13と電気的に接続されている。また、絶縁板1上のワイヤボンディング部材11は、図示しない外部端子とアルミワイヤで超音波接続される。なお、第7図(a)のヒートシンク7とアルミベース7'は、はんだ等のろう付を用いることなく、超音波溶接も可能であり、このような接合によれば、接合の信頼性を大幅に向上させることができる。

しかし、本実施例においても、絶縁板1とヒートシンク(或いは金属ベース)7間接合部10

3を介して配設される第2のメタライズ面4を、多数のスリット3'を介して細分化したものである。

#### 【発明の効果】

以上のように本発明によれば、絶縁板とヒートシンク間の接合部のポイド、クラック等の発生を有効に抑制し、しかも放熱面積を充分に確保して、半導体素子、絶縁板、ヒートシンク等で構成される半導体組立体の耐久性、信頼性の向上化を図ることができる。

#### 4. 図面の簡単な説明

第1図は本発明の第1実施例たる絶縁板の裏面図、第2図(a), (b)は上記第1実施例の絶縁板を用いた半導体組立体の積層構造例を表わす側面図、第3図は第2図(a)の半導体組立体の全体を表わす平面図、第4図は従来の絶縁板の裏面図、第5図(a), (b)は本発明の第2、第3実施例たる絶縁板の裏面図、第6図(a), (b)は本発明の第4実施例たる絶縁板の表面図及び裏面図、第6図(c)は本発明の第5実施例たる絶縁板の裏面図、

にクラックが生じ易いが、既述した他の実施例同様に、スリット3に対応する非接合部15のクラック進行防止効果、及び第1メタライズ面2a, 2b, 2cに対応する第1接合部10aの接合長をできるだけ短くし且つ接合部10aの厚みは、充分に確保できる構造特性から、第1接合部10a自身でのクラック発生を有効に防止し、且つスリット3, 3'を介して接合部のポイド発生を低減できるので、第1メタライズ面2a, 2b, 2cでの接合部10aにて必要最小限の放熱面積を確保できる。

従つて、接合部の信頼性の向上を図り、且つ半導体組立体の耐久性、信頼性を向上させることができ、また、本実施例では、一枚の絶縁板に複数の半導体素子を実装でき、半導体素子ごとに個別に絶縁板を用意して接合する事がないので、半導体組立体の製造工程の簡略化を図り得る。

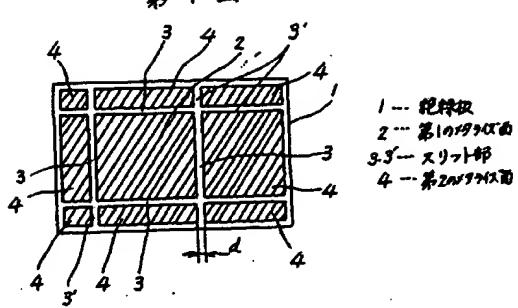
第9図は、本発明の第6実施例を示すもので、本実施例は、絶縁板1の裏面に形成される第1のメタライズ面2a, 2b, 2cの周囲にスリット

第7図(a), (b)は上記第4実施例を用いた半導体組立体の積層構造例を表わす側面図、第8図は第7図(a)の半導体組立体の全体を表わす平面図、第9図は本発明の第6実施例たる絶縁板の裏面図である。

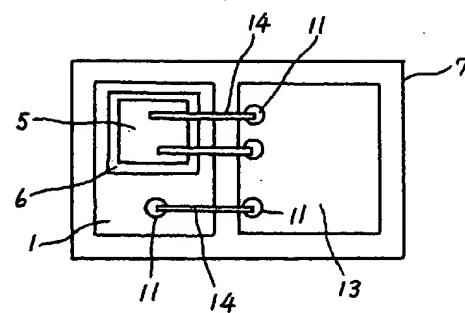
1…絶縁板、2…第1のメタライズ面、2a, 2b, 2c…第1のメタライズ面、3…第1のメタライズ面周囲のスリット部、3'…スリット部、4…第2のメタライズ面、5…半導体素子、7…ヒートシンク、10…接合部(ろう付部)、10a…第1接合部、10b…第2接合部、15…スリット状の非接合部。

代理人弁理士高橋明夫  
(ほか1名)

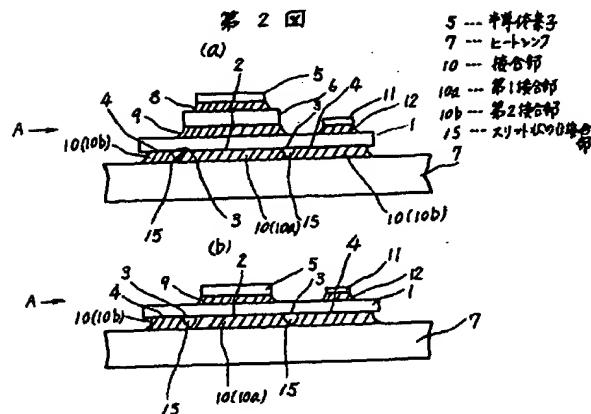
第1図



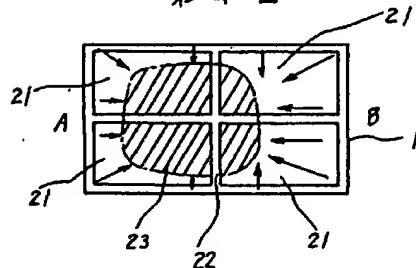
第3図



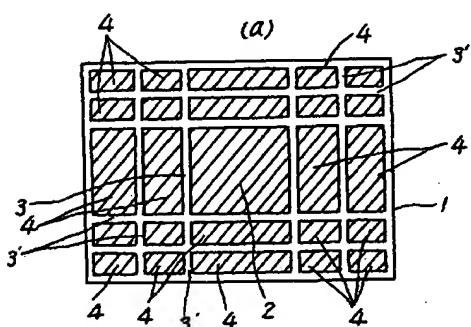
第2図



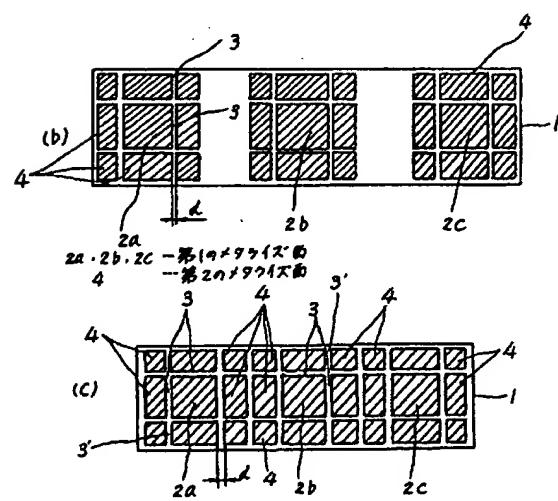
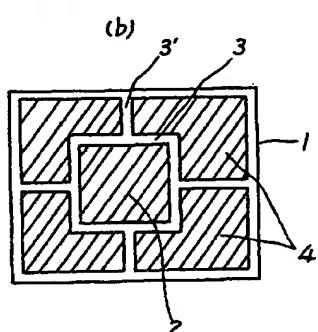
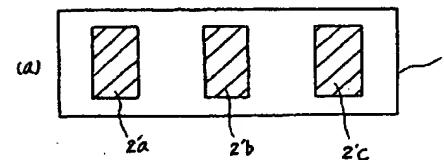
第4図



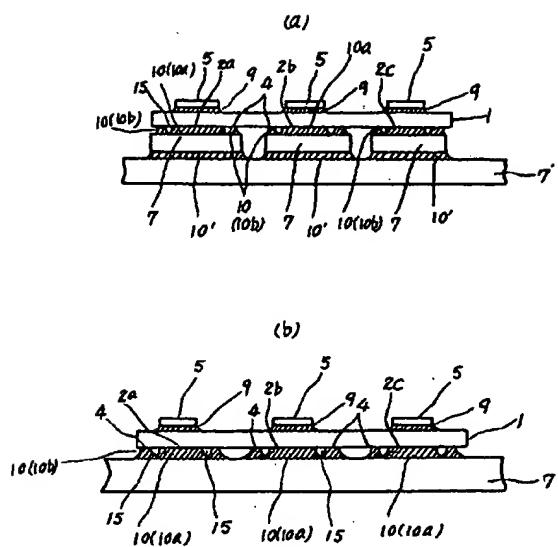
第5図



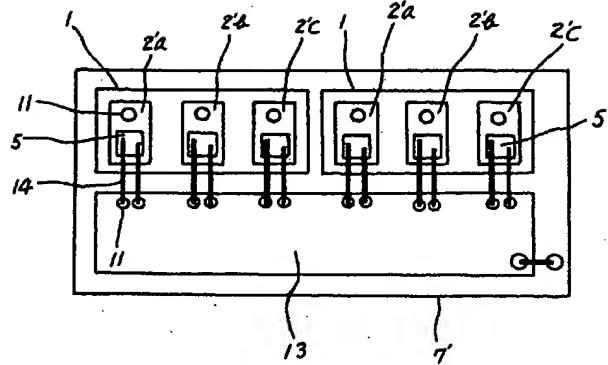
第6図



## 第 7 因



第 8 図



第 9 因

